

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **04215315 A**(43) Date of publication of application: **06 . 08 . 92**

(51) Int. Cl.

**H03K 19/018****H03F 3/343****H03F 3/45**(21) Application number: **02302217**(71) Applicant: **NEC CORP**(22) Date of filing: **07 . 11 . 90**(72) Inventor: **KAGAWA SHIGERU**(30) Priority: **04 . 10 . 90 JP 02266796**(54) **LEVEL SHIFT CIRCUIT**

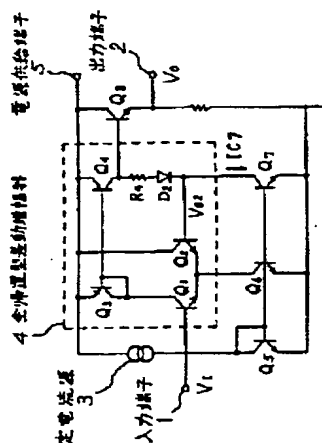
## (57) Abstract:

**PURPOSE:** To obtain an excellent temperature characteristic and a level shift output with a low impedance by adopting an emitter follower circuit for the output stage and using a semiconductor circuit to obtain a desired voltage for a voltage between the output terminal and an inverting input terminal of a full feedback differential amplifier.

**CONSTITUTION:** Let an emitter area of NPN transistors (TRs)  $Q_6$ ,  $Q_7$  be 2:1, then a base of the NPN TR  $Q_1$ , that is, an input terminal 1 and a base of the NPN TR  $Q_2$  are equal in the level by the negative feedback of a full feedback differential amplifier 4. The temperature characteristic from the input terminal 1 to the base of the TR  $Q_2$  is 0 because it is cancelled by the temperature characteristic of the TRs  $Q_1$ ,  $Q_2$ . Thus, a level  $V_0$  at an output terminal 2 is obtained as  $V_0 = V_1 + I_{C7} \times R_4$ , where  $V_1$  is a level of the input terminal 1,  $V_{B2}$  is a base level of the TR  $Q_2$  and  $R_4$  is a resistance, and  $V_1 = V_{B2}$  and  $I_{C7}$  is a collector current of an NPN TR  $Q_7$ . Since the forward voltage of a PN junction is not included in the calculation equation, the temperature characteristic of  $V_0$  is zero. Since the

emitter follower is adopted for the output stage, the impedance of the output terminal 2 is low.

COPYRIGHT: (C)1992, JPO&amp;Japio



⑫ 公開特許公報(A) 平4-215315

⑬ Int. Cl.<sup>5</sup>

H 03 K 19/018  
H 03 F 3/343  
3/45

識別記号

Z  
B

庁内整理番号

7328-5 J  
7328-5 J  
8941-5 J

⑭ 公開 平成4年(1992)8月6日

H 03 K 19/092  
審査請求 未請求 請求項の数 4 (全5頁)

⑮ 発明の名称 レベルシフト回路

⑯ 特 願 平2-302217

⑰ 出 願 平2(1990)11月7日

優先権主張 ⑱ 平2(1990)10月4日 ⑲ 日本(JP) ⑳ 特願 平2-266796

⑳ 発 明 者 香 川 茂 東京都港区芝5丁目7番1号 日本電気株式会社内  
㉑ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号  
㉒ 代 理 人 弁理士 内 原 晋

明 細 書

発 明 の 名 称

レベルシフト回路

特 許 請 求 の 範 囲

1. ベースに基準電圧が入力され、エミッタが第1の定電流源を介して接地され、コレクタがカレントミラー回路の入力に接続される第1のバイポーラトランジスタと、

エミッタが前記第1のバイポーラトランジスタのエミッタに接続され、ベースが第2の定電流源を介して接地され、コレクタが電源電圧供給端子に接続される第2のバイポーラトランジスタと、

エミッタホロワ接続された出力のバイポーラトランジスタと、

前記出力バイポーラトランジスタのエミッタと前記第2のバイポーラトランジスタのベースとの間に所望のレベルシフト量に等しい電位差を生ずる手段とを有することを特徴とするレベルシフト

回路。

2. 請求項1記載のレベルシフト回路において、

前記出力のバイポーラトランジスタにはNPNバイポーラトランジスタを用い、

前記電位差発生手段が直列に接続された抵抗とダイオードとからなり、

前記出力バイポーラトランジスタのベースが前記カレントミラー回路の出力に接続され、且つ、前記抵抗とダイオードとの直列回路を介して前記第2のバイポーラトランジスタのベースに接続されていることを特徴とするレベルシフト回路。

3. 請求項1記載のレベルシフト回路において、

前記電位差発生手段が、前記出力バイポーラトランジスタとは反対導電型のバイポーラトランジスタとこの反対導電型バイポーラトランジスタのベースに接続された抵抗とからなり、

前記反対導電型バイポーラトランジスタが前記電源電圧供給端子と接地端子との間にエミッタホ

ロワ接続され、

前記出力バイポーラトランジスタのベースが前記反対導電型バイポーラトランジスタのエミッタに接続され、

前記反対導電型バイポーラトランジスタのベースが前記カレントミラー回路の出力に接続され、且つ、前記抵抗を介して前記第2のバイポーラトランジスタのベースに接続されていることを特徴とするレベルフト回路。

4. 請求項1記載のレベルシフト回路において、

前記出力のバイポーラトランジスタにはNPNバイポーラトランジスタを用い、

前記電位差発生手段が、前記出力バイポーラトランジスタのエミッタと前記第2のバイポーラトランジスタのベースとの間に接続された抵抗からなり、

前記出力バイポーラトランジスタのベースが前記カレントミラー回路の出力に接続され、且つ、第3の定電流源を介して接地されていることを特

となり、 $V_1$  が  $V_0$  にレベルシフトされる。

従来のレベルシフト回路の他の例として、ダイオードにおける電圧降下を利用したレベルシフト回路の回路図を第4図(b)に示す。

第4図(b)において、入力端子1に輸入される入力電圧を  $V_1$ 、出力端子2に出力される出力電圧を  $V_0$ 、ダイオード  $D_1$  のアノード・カソード間電圧を  $V_{AK}$  とすると、出力電圧  $V_0$  は、

$$V_0 = V_1 - V_{AK}$$

となり、 $V_1$  が  $V_0$  にレベルシフトされる。

〔発明が解決しようとする課題〕

上述した従来のレベルシフト回路は、以下に述べるような欠点を持っている。

先ず、第4図(a)に示す、抵抗による電圧降下を利用したレベルシフト回路には、出力のインピーダンスが高く、利得が低下するという欠点がある。

一方、第4図(b)に示す、ダイオードにおける電圧降下を利用したレベルシフト回路では、上述のような利得の低下はないものの、ダイオード

の電流・電圧特性が温度によって変化するため、

出力電圧  $V_0$  が温度によって変化してしまうという欠点がある。

すなわち、従来のレベルシフト回路では、出力電圧の利得特性と温度特性とを両立させることができないという欠点がある。

〔課題を解決するための手段〕  
本発明は、レベル変換回路に関し、特に、直流レベルを変換するレベルシフト回路の回路構成に関する。

〔従来の技術〕

従来、この種のレベルシフト回路には、抵抗における電圧降下や、ダイオードにおける電圧降下を利用した回路が用いられている。

従来のレベルシフト回路の一例として、抵抗を用いたレベルシフト回路の回路図を第4図(a)に示す。

第4図(a)において、入力端子1に印加される入力電圧を  $V_1$ 、出力端子2に出力される出力電圧を  $V_0$ 、抵抗  $R_1$  及び  $R_2$  の抵抗値をそれぞれ  $R_1$  及び  $R_2$  とすると、

$$V_0 = \frac{R_2}{R_1 + R_2} \cdot V_1$$

の電流・電圧特性が温度によって変化するため、出力電圧  $V_0$  が温度によって変化してしまうという欠点がある。

すなわち、従来のレベルシフト回路では、出力電圧の利得特性と温度特性とを両立させることができないという欠点がある。

〔課題を解決するための手段〕

本発明のレベルシフト回路は、

ベースに基準電圧が輸入され、エミッタが第1の定電流源を介して接地され、コレクタがカレントミラー回路の入力に接続される第1のバイポーラトランジスタと、

エミッタが前記第1のバイポーラトランジスタのエミッタに接続され、ベースが第2の定電流源を介して接地され、コレクタが電源電圧供給端子に接続される第2のバイポーラトランジスタと、

エミッタホロワ接続された出力のバイポーラトランジスタと、

前記出力バイポーラトランジスタのエミッタと前記第2のバイポーラトランジスタのベースとの

間に所望のレベルシフト量に等しい電位差を生ずる手段とを有することを特徴とする。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図は、本発明の第1の実施例の回路構成を示す回路図である。

なお、以後の説明では、バイポーラトランジスタのことを単にトランジスタと記すこととする。

第1図において、NPNトランジスタ $Q_1$ と $Q_2$ 、PNPトランジスタ $Q_3$ と $Q_4$ 並びにダイオード $D_2$ 及び抵抗 $R_4$ は、全帰還型差動増幅器4を構成している。

定電流源3とNPNトランジスタ $Q_5$ 、 $Q_6$ 及び $Q_7$ はカレントミラーによる定電流回路を構成している。

NPNトランジスタ $Q_8$ と抵抗 $R_3$ とは、出力段のエミッタホロア回路を構成している。

端子1、2及び5はそれぞれ入力端子、出力端子及び電源供給端子である。

$V_o = V_{B2} + V_{BED} + I_{C7} \cdot R_4 - V_{BE6}$ となる。

ところが、ここで、

$$V_{B2} = V_1, V_{BED} = V_{BE6}$$

であるから、

$$V_o = V_1 + I_{C7} \cdot R_4 \quad \dots \dots \dots (1)$$

となりレベルシフト量は $I_{C7} \cdot R_4$ となる。

(1)式には、ダイオードやトランジスタのPN接合の順方向電圧が含まれていないので、出力電圧 $V_o$ の温度特性は0となる。

又、出力段がエミッタホロア回路で構成されているので、出力端子2は低インピーダンスとなる。

次に、本発明の第2の実施例について説明する。

第2図は、第2の実施例の回路図である。

本実施例においては、第1図に示す第1の実施例に対して、全帰還型差動増幅器4のダイオード $D_2$ を取り除き、出力段を2段接続のエミッタホロア回路で構成している。

次に、この第1の実施例の動作について説明する。

第1図において、NPNトランジスタ $Q_1$ と $Q_2$ のエミッタの面積比を2:1に設計すると、それぞれのトランジスタのコレクタ電流の比も2:1となり、全帰還型差動増幅器4の負帰還動作により、NPNトランジスタ $Q_1$ のベース、すなわち入力端子1とNPNトランジスタ $Q_2$ のベースとが同電位になる。

この場合、入力端子1からNPNトランジスタ $Q_2$ のベースまでの温度特性は、NPNトランジスタ $Q_1$ 及び $Q_2$ のベース・エミッタ間電圧の温度特性でキャンセルされるので、0となる。

従って、入力端子1の電位を $V_1$ 、NPNトランジスタ $Q_2$ のベース電位を $V_{B2}$ 、ダイオード $D_2$ の順方向電圧を $V_{BED}$ 、NPNトランジスタ $Q_6$ のベース・エミッタ間電圧を $V_{BE6}$ 、NPNトランジスタ $Q_7$ のコレクタ電流を $I_{C7}$ 、抵抗 $R_4$ の抵抗値を $R_4$ 、出力端子2の電位を $V_o$ とすると、

この場合、前段のエミッタホロア回路のトランジスタ $Q_8$ と、後段のエミッタホロア回路のトランジスタ $Q_{10}$ とは、互いに反対導電型のトランジスタであるものとする。

上述のような構成の第2の実施例においては、NPNトランジスタ $Q_2$ のベース電位を $V_{B2}$ 、NPNトランジスタ $Q_6$ 及びPNPトランジスタ $Q_{10}$ のベース・エミッタ間電圧を、それぞれ、 $V_{BE6}$ 及び $V_{BE10}$ とすると、

$$V_o = V_{B2} + I_{C7} \cdot R_4 - V_{BE6} + V_{BE10}$$

となる。

ところが、第1の実施例と同様に

$$V_{B2} = V_1, V_{BE6} = V_{BE10}$$

であるので、

$$V_o = V_1 + I_{C7} \cdot R_4$$

となり、第1の実施例と同様の効果が得られる。

なお、この第2の実施例では、2段接続のエミッタホロア回路のトランジスタとして、前段にNPNトランジスタを、後段にPNPトランジスタを用いたが、各々のトランジスタの導電型を逆

にしても同様の効果が得られ、**●**とは明らかである。

次に、本発明の第3の実施例について説明する。

第 3 図は第 3 の実施例の回路図である。

この第3の実施例は、第1及び第2の実施例に対して、出力段のトランジスタ $Q_{12}$ のエミッタから、抵抗 $R_4$ を介してトランジスタ $Q_2$ のベースに帰還をかける構成になっている。

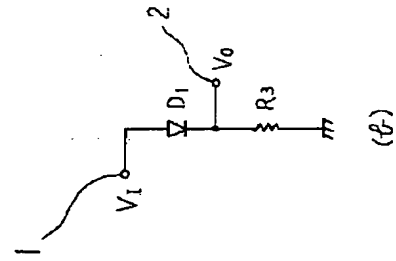
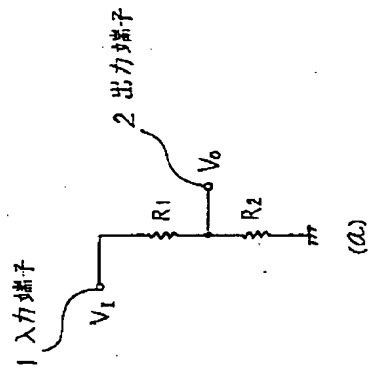
上述のような構成の第3の実施例においては、  
トランジスタQ<sub>2</sub>のベース電位をV<sub>B2</sub>とすると、  
$$V_0 = V_{B2} + I_{C7} \cdot R_4$$
  
となる。

ところが、第 1 の実施例と同様に

$$V_{B2} = V_3$$

であるので、

$$V_0 = V_1 + I_{c7} \cdot R_4$$



第4図